Федеральное агентство связи Россвязь

Федеральное государственное образовательное бюджетное учреждение высшего

профессионального образования "Сибирский государственный университет

телекоммуникаций и информатики" (ФГОБУ ВПО СибГУТИ)

КАФЕДРА ВС

Расчетно-Графическое Задание

по курсу «Архитектура Вычислительных Систем»

Вариант 8

Выполнил:

студент группы ИП-213

Сапунов М.Ю.

Проверил:

к.т.н доцент кафедры ВС   
Ефимов А. В.

Новосибирск 2014

**ЗАДАНИЕ 1**

**Выполнить анализ архитектуры ENIAC**

ЭВМ ENIAC (Electronic Numerical Integrator and Computer) была создана в школе Мура – школе инженеров и электриков Пенсильванского университета в 1943-1945 г.г. Первая задача была решена в декабре 1945, а сдача в эксплуатацию была произведена в 1946 г.

Вплоть до 80-ых годов считалось, что ENIAC – первый в мире большемасштабный универсальный электронный компьютер.

Идея ее принадлежала Мочли, а техническое руководство осуществлялось вместе с Эккертом.

А началось все с того, что в 1936-37 годах английский математик Тьюринг доказал возможность реализации алгоритмов на автоматах. Именно он предложил схему такого автомата, схему машины Тьюринга. В 1940 г в Англии создали электронный компьютер, в 1945 г. Запустили его в эксплуатацию, но о нем никто не знал, так кА он использовался для дешифрации германской информации.

Первая ЭВМ, использующая радиолампы, была построена в 1938-42 годах в США в колледже штата Айова, под руководством профессора Атанасова.

Вначале было 2 маленьких ЭВМ, а затем 1 большая для решения СЛАУ – в 1942 г., но год эксплуатации перенесли на 1943 г., так кА надо было доработать устройства ввода-вывода информации. Но Атанасов был призван в армию, и разработки завершились.

В конце 40-ых годов поделился идеей с Мочли, который впоследствии отрицал применение их в производстве ENIAC.

Архитектурные особенности:

в машине было арифметическое устройство и память, как оперативная, так и внешняя. АУ было реализовано на лампах, а ОЗУ – вращающийся барабан с конденсаторами. Она работала в двоичной системе счисления с фиксированной запятой. Перевод чисел из десятичной системы счисления в двоичную и обратно осуществлялся аппаратно. Программирование машины осуществлялось так же аппаратно, а не программно.

Функциональная структура ENIAC:

Эта машина кардинальным образом отличалась от всех предшествующих и последующих ЭВМ. Отметим ее особенности:

Она состояла из управляющей подсистемы, собственно вычислительной системы и подсистемы ввода-вывода информации. Она не была конструктивно завершенной. Скорее это был конструкторский набор. Машина не имела проблемной ориентации – она осуществлялась путем ручных коммутаций: для каждой задачи создавалась своя конфигурация. Но любая конфигурация могла быть сведена к следующей архитектуре:

УНС

УНС

**УНС**

УУМ

УНС

УДК

УНС

УНС

УНС

УНС

УНС

УНС

УНС

УХТ

УНС

УНС

УНС

**УНС**

УНС

УНС

УНС

УХТ

УНС

УХТ

УВв

ВЗУ

УВыв

ДПУ

ДПУ

Главное программное устройство

**УНС**

ВС состояла из 20-ти устройств накопления и суммирования (УНС), устройства умножения и деления (УУМ) и 3-х устройств хранения таблиц (УХТ). Все блоки работали с десятьюразрядными десятичными числами.

УНС было способно выполнять сложение и сохранять число – это было и память, и устройство суммирования. В каждом УХТ можно было хранить 104 числа.

Программирование этого компьютера состояло в организации коммутаций между этими устройствами. Каждое устройство имело свое автономное управление.

Управляющая подсистема состояла из ГПУ – главного программного устройства управления, ДПУ – дополнительного программного устройства управления. ГПУ обеспечивало поток команд на все вычислительный устройства.

Первые две подсистемы были электронными, а подсистема ввода/вывода была различной: реле, перфокарты, перфоленты и т.п.

Все устройства могли работать параллельно, и в пределах устройств допускалась параллельная обработка разрядов чисел. Тактовая частота равнялась 100 тыс. импульсов в секунду, т.е. 100 кГц.

Быстродейтсвие:

сложение – 200 мкс

умножение – 2800 мкс

деление – 6000 мкс

Анализ машины ENIAC:

* прежде всего – параллелизм. Принцип, характерный для современных устройств обработки информации.
* Однородность – много одинаковых элементов.
* Децентрализованность управления

SIMD-архитекрута, распределённость и иерархия средств управления, смешанный синхронно-асинхронный способ управления вычислениями

* Реконфигурируемость структуры (но ручная).

Работы над созданием данной машины были поддержаны артиллерийским департаментом США. Машины применялись для баллистических расчетов, в частности, для стрельб.

Недостатки:

* Ручное (механическое) трудоемкое программирование ЭВМ под структуру решаемой задачи (на это уходило несколько дней).
* Аппаратурная избыточнсть.
* Невысокая надежность
* Громоздкость и дороговизна машины
* Малая емкость ОП.

Все эти недостатки потребовали от разработчиков поиска новых архитектурных решений.

Но надо сказать, что ENIAC опережала возможности техники и технологий того времени.

**ЗАДАНИЕ 2**

Разработать блок-схему -алгоритма для вычисления произведения двух матриц: обеспечивающего распределение в элементарных машинах ВС результирующей матрицы по горизонтальным полосам.

Определить максимум коэффициента  накладных расходов при реализации -алгоритма на ВС СУММА.

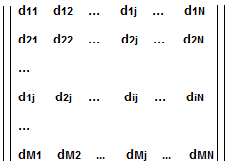
* разрядность l=12;
* полоса пропускания канала между машинами ν = 6 Мегабод;
* время выполнения операции сложения tc = 3 мкс;
* время выполнения операции умножения ty = 10 мкс.

***Р-алгоритм умножения двух матриц***:

**H[1 : M; 1 : P]** × **F[1 : P; 1 : N]**



**= D[1 : M; 1 : N]**



Элементы матрицы D вычисляются по формуле:

Для построения p-алгоритма прежде всего требуется осуществить распределение исходного массива данных.

Если считать, что наша ВС состоит из n вычислителей, то осуществим следующие распределения:

Матрицу F разобьем на n равных вертикальных полос (столбцов), а матрицу H на n равных горизонтальных полос (строк) и поместим в каждый вычислитель по одной такой полосе из матриц F и H. Осуществляем мы это для того, чтобы как можно меньше затратить места для хранения матриц в памяти, распределить нагрузку на вычислители равномерно. В итоге получаем: первый вычислитель передаёт остальным вычислителям первый столбец из своей полосы матрицы F, и каждый из вычислителей рассчитывает ] N / n [ элементов первого столбца своей полосы для результирующей матрицы. Потом первый вычислитель передаёт также всем вычислителям второй столбец полосы матрицы F, и вычисляется второй столбец результирующей матрицы. И так далее. После рассылки всех столбцов первым вычислителем, рассылками будут заниматься последовательно 2,3,….,n вычислитель.

В результате все элементы результирующей матрицы D будут рассчитаны и они окажутся распределенными между вычислителями по **горизонтальным** полосам.

***Блок-схема р-алгоритма.***

**НАЧАЛО**

a = 0

j = 1

a = а + 1

l = a

j > a]N/n[

*передача столбца*

||f1j...........fPj||

j := j+1

*Вычисление*

**D**ij

*прием столбца*

||f1j...........fPj||

a = n

**КОНЕЦ**

нет

да

да

нет

нет

да

Где *α* - номер вычислителя; *l* - предельно допустимое число ветвей р-алгоритма; *i* - номер строки; *j* - номер столбца; *q* - номер обрабатываемого элемента в строке/столбце; *P* - количество строк матрицы *F*; *N* - количество столбцов матрицы *F*; *n* - количество вычислителей; *D* - результирующая матрица.

**Эффективность** параллельного алгоритма умножения матриц большого размера можно характеризовать показателями:



Максимум накладных расходов будет при , или, что то же самое, равенство  достигается при  Таким образом, максимум коэффициента ε накладных расходов определяется формулой:

**ε = tn / (ty + tc)**

**tn** – время пересылки

**tу** – время умножения

**tс** - время сложения

**tn = l/ ν** ; **tn =**  32 / 106 = 32 мкс

**ε = 32 / (10 + 1) = 2,909**

**Для ВС СУММА: ε = tn / (ty + tc) ; tn = l/ ν** ; **tn =**  12/ 6\*106 = 2 мкс ; **ε = 2 / (10 + 3) = 0,1538**

***Список используемой литературы:***

1. Хорошевский В.Г. «Архитектура ВС», М., МГТУ им. Н.Э. Баумана, 2005

***2.***Конспект лекций по курсу «Архитектура вычислительных систем»